京都工芸繊維大学
KYOTO INSTITUTE OF TECHNOLOGY

令和 8 年度 京都工芸繊維大学 社会人教育公開講座「FPGA 回路設計」開催のご案内

概　要: プログラムできる大規模集積回路（LSI）である FPGA（Field Programmable Gate Array）を、ハードウェア記述言語（HDL）で設計する。FPGA は少量多品種向けの LSI であり、集積回路の微細化にともない、その用途を広げてきた。HDL は、SystemVerilog を用いる。HDL の記述方法の基本を習得し、ディジタル回路を実装するための手法を学ぶことを目的とする。

対 象 者: 若手技術者、FPGA・LSI 設計を初めて学ぶ方

開催期間: 令和 8 年 12 月 2 日(水)、9 日(水)　【必修 2 回受講】
令和 8 年 12 月 16 日(水)、23 日(水)【全 4 回受講】
いずれも 1 限～4 限(8 時 50 分～16 時 00 分)

受講形態: 必修 2 回受講、または、全 4 回受講
※必修 2 回では、FPGA 設計ツールの基本操作と SystemVerilog の基礎を学び、例題回路を FPGA に実装します。
全 4 回受講では、後半 2 回でゲームなどを一例として，各自が実現したいシステムを考え，FPGA と周辺回路を活用して設計・実装します。

場　所: 京都工芸繊維大学 松ヶ崎キャンパス
〈松ヶ崎キャンパスへのアクセス〉
https://www.kit.ac.jp/uni_index/access/

募集人数: 10 名程度(先着順)

受講環境: Windows 11 搭載のパソコンをご持参ください。
講座で使用する開発ツールの事前インストールについては、申込者へ別途ご案内します。パソコンをお持ちでない方には貸出機がありますので，事前にお知らせください。

受 講 料: 必修 2 回のみ：一般 30,000 円、産学連携協力会会員企業 25,000 円
全 4 回受講　：一般 60,000 円、産学連携協力会会員企業 50,000 円
※教科書「SystemVerilog による FPGA/ディジタル回路設計入門」は各自で手配するか、講習会場でご購入ください。講習会会場では安価で販売予定です。

申込方法: 2026 年 11 月 24 日(月)までに、
https://www.kyosemi.kit.ac.jp/enSET/Entry/上の申込フォームに必要事項を記入の上、fpgacircuitdesign@vlsi.es.kit.ac.jp までメールをお送りください。原則として先着順で申し込みを受け付けます。
※受講決定後に送信されるメールに記載の納付先へ受講料をお振り込みください。

受講に関する問合先: 京都半導体共創ラボ「FPGA 回路設計受付」担当
e-mail: fpgacircuitdesign@vlsi.es.kit.ac.jp

受講料の支払いに関する問合先: 京都工芸繊維大学 学務課連携教育係
電話: 075-724-7106 / e-mail: chiiki@jim.kit.ac.jp

社会人教育公開講座「FPGA 回路設計」

1 ページ目に記載の申込方法によりお申し込みください。

(プログラム総括担当者: 小林 和淑)

開講日	講師	内容
12 月 2 日 (水) 1 限 ～ 4 限 8:50 ～ 16:00	寺澤 真一 小林 和淑	1. ガイダンス 2. FPGA／SystemVerilog の概要 3. FPGA ボードを用いた実装演習 I LED 点滅, カウンタ回路など
12 月 9 日 (水) 1 限 ～ 4 限 8:50 ～ 16:00	寺澤 真一 小林 和淑	1. SystemVerilog/Verilog HDL の対比と記述の罠 2. FPGA ボードを用いた実装演習 II 周辺回路とのシリアル通信, PWM など
12 月 16 日 (水) 1 限 ～ 4 限 8:50 ～ 16:00	寺澤 真一	1. FPGA システム実装 FPGA と周辺回路を活用し、ゲームなどを含む各自のオリジナルシステムを企画・設計・実装する
12 月 23 日 (水) 1 限 ～ 4 限 8:50 ～ 16:00	寺澤 真一 小林 和淑	1. 実装成果発表資料作成 2. 実装成果報告 各自 5～10 分程度で設計コンセプト、実装内容・動作結果を発表する

注 1: 本学大学院の授業科目を兼ねています。

注 2: 講義内容の詳細はシラバスをご確認ください。

https://www.syllabus.kit.ac.jp/?c=detail&pk=1532&schedule_code=62119903&sn=FPGA 回路設計